

0418089-5NY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-271095

(43)Date of publication of application : 25.09.2003

(51)Int.Cl.

G09G 3/30
G09G 3/20
H03K 17/04
H03K 17/687
H05B 33/14

(21)Application number : 2002-070730

(71)Applicant : NEC CORP

(22)Date of filing : 14.03.2002

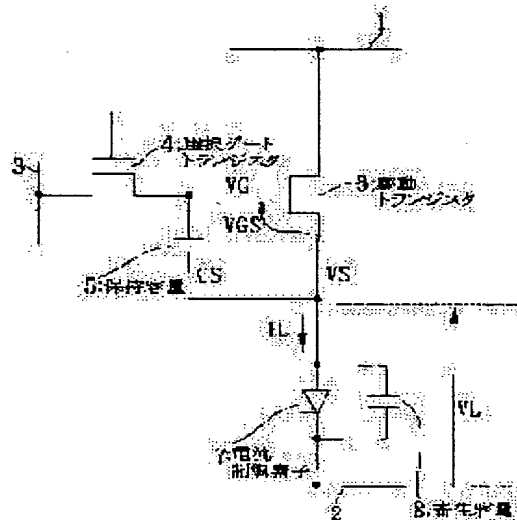
(72)Inventor : SASAKI ISAO
IGUCHI KOICHI

(54) DRIVING CIRCUIT FOR CURRENT CONTROL ELEMENT AND IMAGE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the influence of variance in the threshold characteristic of a driving transistor.

SOLUTION: The disclosed driving circuit for the current control element has the driving transistor 6 and current control element 7 which are connected in series between a power line 1 and a ground line 2, a hold capacitor 5 which is connected between the connection point between the driving transistor 6 and current control element 7 and the gate electrode of the driving transistor 6, and a select gate transistor 4 which is connected between a signal line 3 and the gate electrode of the driving transistor 6. Then the driving circuit turns on the select gate transistor 4 in a selection period to input a 1st signal voltage from the signal line 3, inputs and holds a 2nd signal voltage from the signal line 3 in the hold capacitor 5 after discharging signal charges written to the hold capacitor 5 through the driving transistor 6, and turns off the select gate transistor 4 in a non-selection period to supply a current to the current control element 7 through the driving transistor 6.



LEGAL STATUS

[Date of request for examination]

12.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-271095

(P2003-271095A)

(43)公開日 平成15年9月25日(2003.9.25)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
3/20	6 1 1	3/20	6 1 1 H 5 C 0 8 0
	6 2 4		6 2 4 B 5 J 0 5 5
	6 4 1		6 4 1 D
H 0 3 K 17/04		H 0 3 K 17/04	E
審査請求 未請求 請求項の数10 O L (全 16 頁) 最終頁に続く			

(21)出願番号 特願2002-70730(P2002-70730)

(22)出願日 平成14年3月14日(2002.3.14)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐々木 勇男

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 井口 康一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100099830

弁理士 西村 征生

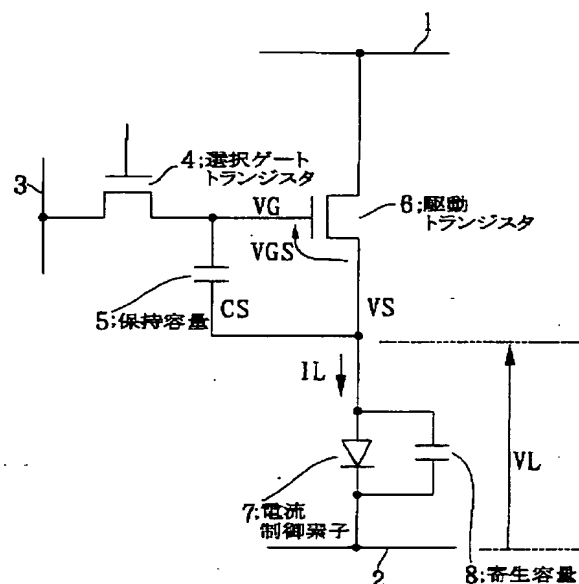
最終頁に続く

(54)【発明の名称】 電流制御素子の駆動回路及び画像表示装置

(57)【要約】

【課題】 電流制御素子の駆動回路において、駆動トランジスタのしきい値特性のばらつきの影響を解消する。

【解決手段】 開示される電流制御素子の駆動回路は、電源線1と接地線2との間に直列に接続された駆動トランジスタ6と電流制御素子7と、駆動トランジスタ6と電流制御素子7の接続点と駆動トランジスタ6のゲート電極との間に接続された保持容量5と、信号線3と駆動トランジスタ6のゲート電極との間に接続された選択ゲートトランジスタ4とを備え、選択期間に、選択ゲートトランジスタ4をオンにして信号線3から第1の信号電圧を入力し、保持容量5に書き込まれた信号電荷を駆動トランジスタ6を経て放電したのち、信号線3から第2の信号電圧を入力して保持容量5に保持し、非選択期間に、選択ゲートトランジスタ4をオフにして駆動トランジスタ6を経て電流制御素子7に電流を流す。



【特許請求の範囲】

【請求項1】 第1の電源線と第2の電源線との間に直列に接続された駆動トランジスタと電流制御素子と、前記駆動トランジスタと電流制御素子の接続点と前記駆動トランジスタのゲート電極との間に接続された保持容量と、信号線と前記駆動トランジスタのゲート電極との間に接続された選択ゲートトランジスタとを備え、

前記駆動回路の選択期間に、選択ゲートトランジスタをオンにして前記信号線から第1の信号電圧を入力し、前記保持容量に書き込まれた信号電荷を前記駆動トランジスタを経て放電したのち、前記信号線から第2の信号電圧を入力して前記保持容量に保持し、前記駆動回路の非選択期間に、前記選択ゲートトランジスタをオフにして前記駆動トランジスタを経て前記電流制御素子に電流を流すことを特徴とする電流制御素子の駆動回路。

【請求項2】 前記駆動回路の選択期間の初期に、前記信号線にリセット信号電圧を入力することによって、前記保持容量及び前記電流制御素子の寄生容量に蓄積されている電荷をリセットすることを特徴とする請求項1記載の電流制御素子の駆動回路。

【請求項3】 前記駆動回路の選択期間の初期に、前記駆動トランジスタをオンにし、前記第1の電源線をリセット信号電圧とすることによって、前記保持容量及び前記電流制御素子の寄生容量に蓄積されている電荷をリセットすることを特徴とする請求項1記載の電流制御素子の駆動回路。

【請求項4】 前記選択ゲートトランジスタと駆動トランジスタとが、Nチャネル電界効果トランジスタからなることを特徴とする請求項1乃至3のいずれかに記載の電流制御素子の駆動回路。

【請求項5】 前記選択ゲートトランジスタと駆動トランジスタとが、Pチャネル電界効果トランジスタからなることを特徴とする請求項1乃至3のいずれかに記載の電流制御素子の駆動回路。

【請求項6】 前記駆動トランジスタのゲート電極とソース電極との間にスイッチングトランジスタを備え、前記駆動回路の非選択期間又は選択期間の初期に、前記スイッチングトランジスタをオンにすることによって、前記保持容量及び前記電流制御素子の寄生容量に蓄積されている電荷をリセットすることを特徴とする請求項1記載の電流制御素子の駆動回路。

【請求項7】 前記駆動トランジスタのゲート電極と前記他方の電源線との間にスイッチングトランジスタを備え、前記駆動回路の非選択期間又は選択期間の初期に、前記スイッチングトランジスタをオンにすることによって、前記保持容量及び前記電流制御素子の寄生容量に蓄積されている電荷をリセットすることを特徴とする請求項1記載の電流制御素子の駆動回路。

【請求項8】 前記選択ゲートトランジスタと駆動トランジスタとスイッチングトランジスタとが、Nチャネル

電界効果トランジスタからなることを特徴とする請求項6又は7に記載の電流制御素子の駆動回路。

【請求項9】 前記選択ゲートトランジスタと駆動トランジスタとスイッチングトランジスタとが、Pチャネル電界効果トランジスタからなることを特徴とする請求項6又は7に記載の電流制御素子の駆動回路。

【請求項10】 請求項1乃至9のいずれか一記載の電流制御素子の駆動回路を複数個平面状に配列して、行方向と列方向とに駆動可能なように構成してなることを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、有機EL (Electro Luminescence) 素子等の電流制御素子を発光させるための電流制御素子の駆動回路及びこれを用いた画像表示装置に関する。

【0002】

【従来の技術】有機ELディスプレイ等のように、電流制御によって駆動される発光素子（電流制御素子）の駆動回路を、平面状に多数配置して形成されている画像表示装置では、各電流制御素子に流れる電流の制御は、駆動回路において、駆動トランジスタのゲートソース間の保持容量に対して、信号線から選択ゲートトランジスタを介して、電流制御素子の表示輝度に応じた電流が流れるようにプログラムされた信号電荷を書き込んで、その信号電荷を表示期間中、保持することによって行われる。

【0003】図15は、第1の従来例の電流制御素子の駆動回路の構成を示したものであって、特開平8-234683号公報に開示されているものである。この従来例の電流制御素子の駆動回路は、図15に示すように、電源線11と接地線12と信号線13との間に接続された、選択ゲートトランジスタ14と、保持容量15と、駆動トランジスタ16と、電流制御素子17と、寄生容量18とからなっている。選択ゲートトランジスタ14は、Nチャネル電界効果トランジスタからなり、ゲート電極を選択線（不図示）に接続され、ドレイン電極を信号線13に接続され、ソース電極を駆動トランジスタ16のゲート電極に接続されている。保持容量15は、駆動トランジスタ16のゲート電極と電源線11との間に接続されている。駆動トランジスタ16は、Pチャネル電界効果トランジスタからなり、ゲート電極を選択ゲートトランジスタ14のソース電極と保持容量15の一端に接続され、ソース電極を電源線11に接続され、ドレイン電極を電流制御素子17のアノードに接続されている。電流制御素子17は、駆動トランジスタ16のドレイン電極と接地線12との間に接続され、駆動トランジスタ16の電流ILに応じた輝度で発光する。寄生容量18は、電流制御素子17の両端の寄生容量である。

【0004】図15に示された従来の電流制御素子の駆

動回路では、選択期間中に、選択ゲートドライバ（不図示）からロウ（行）方向に出力された選択信号が、選択された行の各駆動回路の選択ゲートトランジスタ14のゲート電極に与えられて、該当する行の選択ゲートトランジスタ14が導通状態になることによって、駆動ドライバ（不図示）からカラム（列）方向に出力された信号電圧VDATAが、選択された信号線13を経て、駆動トランジスタ16のゲートソース間に印加される。駆動回路が選択期間から非選択期間に切り替えられると、選択ゲートトランジスタ14が導通状態から非導通状態になる。このとき、駆動トランジスタ16のゲートソース間電圧VGSは、保持容量15によって保持されているため、非選択期間（保持期間）中も、駆動トランジスタ16は、書き込まれた信号電圧に応じた電流IDSを、電流制御素子17に供給し続ける。

【0005】図16は、駆動トランジスタの特性がばらついているときのIDS-VGS特性を示したものである。駆動トランジスタのIDS-VGS特性は、個々のトランジスタによってばらつきがあり、特にしきい値のばらつきが大きい。そのため、駆動トランジスタのゲートソース間電圧VGSとして、同一の信号電圧VDATAが与えられた場合でも、駆動トランジスタの出力電流IDSは、個々のトランジスタによって、IL1、IL2又はIL3のようにばらつく。ドレインソース間電流IDSは、そのまま電流制御素子17に流れるため、各駆動回路に同じ信号電圧VDATAを入力しても、電流制御素子17に流れる電流にばらつきが生じることになる。さらに、非選択期間中も、駆動トランジスタ16のゲートソース間電圧VGSは、保持容量15によって保持されるため、信号電圧VDATAが同じ場合でも、駆動トランジスタ16のばらつきに基づいて、駆動回路によって異なる電流が電流制御素子17に流れ続ける。このため、同一信号電圧を書き込んでも、各電流制御素子の発光輝度にばらつきが発生するという問題があった。

【0006】このような、駆動トランジスタのしきい値ばらつきによって生じる駆動電流のばらつきを防止するための方法として、下記の文献に記載されたものが提案されている。

SID' 99, pp. 11-14 : A Polysilicon Active Matrix Organic Light Emitting Diode Display with Integrated Drivers, R. Dawson et al

【0007】図17は、第2の従来例の電流制御素子の駆動回路の構成を示したものである。この従来例の電流制御素子の駆動回路は、図17に示すように、電源線11と接地線12と信号線13との間に接続された、選択ゲートトランジスタ14Aと、保持容量15と、駆動トランジスタ16と、電流制御素子17と、寄生容量18と、デカップリング容量19と、スイッチングトランジスタ20、21とからなっている。選択ゲートトランジ

スタ14Aは、Pチャネル電界効果トランジスタからなり、ゲート電極を選択線（不図示）に接続され、ソース電極を信号線13に接続され、ドレイン電極をデカップリング容量19の一端に接続されている。保持容量15は、駆動トランジスタ16のゲート電極と電源線11との間に接続されている。駆動トランジスタ16は、Pチャネル電界効果トランジスタからなり、ゲート電極をデカップリング容量19の他端と保持容量15の一端に接続され、ソース電極を電源線11に接続され、ドレイン電極をスイッチングトランジスタ21のソース電極に接続されている。

【0008】電流制御素子17は、スイッチングトランジスタ21のドレイン電極と接地線12との間に接続されていて、駆動トランジスタ16の電流に応じた輝度で発光する。寄生容量18は、電流制御素子17の両端の寄生容量である。デカップリング容量19は、選択ゲートトランジスタ14Aのドレイン電極と駆動トランジスタ16のゲート電極間に接続されていて、これらの間を直流的に分離する。スイッチトランジスタ20は、Pチャネル電界効果トランジスタからなり、ゲート電極をリセット線（不図示）に接続され、ソース電極を駆動トランジスタ16のゲート電極に接続され、ドレイン電極を駆動トランジスタ16のドレイン電極に接続されている。スイッチングトランジスタ21は、Pチャネル電界効果トランジスタからなり、ゲート電極をリセット線に接続され、ソース電極を駆動トランジスタ16のドレイン電極に接続され、ドレイン電極を電流制御素子17の一端に接続されている。

【0009】図18は、第2の従来例の電流制御素子の駆動回路の動作を説明するタイミングチャートである。以下、図17、図18を用いて、第2の従来例の電流制御素子の駆動回路の動作を説明する。この従来例の電流制御素子の駆動回路では、選択期間が始まる前に、電流制御素子17の寄生容量18を放電し、駆動トランジスタ16のドレイン電圧VDを接地線電位にしておく必要がある。また、信号線13の電圧を電源線11の電圧VDにしておく。選択期間が開始されたとき、ロウ方向の選択信号を選択線に与えることによって、選択ゲートトランジスタ14Aをオンにし、リセットドライバ（不図示）からリセット信号をリセット線に与えることによって、スイッチングトランジスタ20をオンにし、スイッチングトランジスタ21をオフにすると、駆動トランジスタ16のゲート電極とドレイン電極とを電気的に接続した状態で、保持容量15に蓄積された電荷の放電が開始される。この状態で、充分、時間が経過すると、駆動トランジスタ16のゲート電圧VGがしきい値VTまで低下する。その後、スイッチングトランジスタ20をオフにして、駆動トランジスタ16のゲート電極をフローティングにする。

【0010】次に、信号線13からの入力電圧が、電源

線11の電圧VDDから書き込み電圧VDATAに切り替えられると、駆動トランジスタ16のゲートドレイン間電圧VGSは、デカップリング容量19の容量値C

$$VGS = VG - VDD$$

$$= VT + CD \cdot (VDATA - VDD) / (CS + CD) \quad \dots (1)$$

トランジスタのドレインソース間電流値は、一般に、 $(VGS - VT)$ の関数で表されるが、上式からわかるように、 $(VGS - VT)$ がVDATAで決まるので、駆動トランジスタ16のしきい値にばらつきがあっても、それが補正される。

【0011】しかしながら、この従来例では、1画素に対して4個のトランジスタが必要になるだけでなく、保持容量のほかに、デカップリング容量が必要になる。従って、画素の開口率が低下して、製造プロセス的にも困難になるという問題がある。また、デカップリング容量CDの値が小さいと、書き込み電圧VDATAをより大きくしなければならないので、 $CD > CS$ にすることが望ましいが、そのためには、デカップリング容量CDを形成するためのチップ面積が大きくなるという問題もある。さらに、選択期間前における電流制御素子の寄生容量の放電に時間がかかり、寄生容量放電の操作が複雑になるという欠点も持っている。

【0012】

【発明が解決しようとする課題】この発明は上述の事情に鑑みてなされたものであって、最小限の素子構成で、駆動トランジスタのしきい値ばらつきを補正することが可能な、電流制御素子の駆動回路及び画像表示装置を提供することを目的としている。

【0013】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は電流制御素子の駆動回路に係り、第1の電源線と第2の電源線との間に直列に接続された駆動トランジスタと電流制御素子と、上記駆動トランジスタと電流制御素子の接続点と上記駆動トランジスタのゲート電極との間に接続された保持容量と、信号線と上記駆動トランジスタのゲート電極との間に接続された選択ゲートトランジスタとを備え、上記駆動回路の選択期間に、選択ゲートトランジスタをオンにして上記信号線から第1の信号電圧を入力し、上記保持容量に書き込まれた信号電荷を上記駆動トランジスタを経て放電したのち、上記信号線から第2の信号電圧を入力して上記保持容量に保持し、上記駆動回路の非選択期間に、上記選択ゲートトランジスタをオフにして上記駆動トランジスタを経て上記電流制御素子に電流を流すことを特徴としている。

【0014】また、請求項2記載の発明は、請求項1記載の電流制御素子の駆動回路に係り、上記駆動回路の選択期間の初期に、上記信号線にリセット信号電圧を入力することによって、上記保持容量及び上記電流制御素子の寄生容量に蓄積されている電荷をリセットすることを

Dと、保持容量15の容量値CSとの容量分割によって、下式で与えられるようになる。

特徴としている。

【0015】また、請求項3記載の発明は、請求項1記載の電流制御素子の駆動回路に係り、上記駆動回路の選択期間の初期に、上記駆動トランジスタをオンにし、上記第1の電源線をリセット信号電圧とすることによって、上記保持容量及び上記電流制御素子の寄生容量に蓄積されている電荷をリセットすることを特徴としている。

【0016】また、請求項4記載の発明は、請求項1乃至3のいずれかに記載の電流制御素子の駆動回路に係り、上記選択ゲートトランジスタと駆動トランジスタとが、Nチャネル電界効果トランジスタからなることを特徴としている。

【0017】また、請求項5記載の発明は、請求項1乃至3のいずれかに記載の電流制御素子の駆動回路に係り、上記選択ゲートトランジスタと駆動トランジスタとが、Pチャネル電界効果トランジスタからなることを特徴としている。

【0018】また、請求項6記載の発明は、請求項1記載の電流制御素子の駆動回路に係り、上記駆動トランジスタのゲート電極とソース電極との間にスイッチングトランジスタを備え、上記駆動回路の非選択期間又は選択期間の初期に、上記スイッチングトランジスタをオンすることによって、上記保持容量及び上記電流制御素子の寄生容量に蓄積されている電荷をリセットすることを特徴としている。

【0019】また、請求項7記載の発明は、請求項1記載の電流制御素子の駆動回路に係り、上記駆動トランジスタのゲート電極と上記他方の電源線との間にスイッチングトランジスタを備え、上記駆動回路の非選択期間又は選択期間の初期に、上記スイッチングトランジスタをオンすることによって、上記保持容量及び上記電流制御素子の寄生容量に蓄積されている電荷をリセットすることを特徴としている。

【0020】また、請求項8記載の発明は、請求項6又は7記載の電流制御素子の駆動回路に係り、選択ゲートトランジスタと駆動トランジスタとスイッチングトランジスタとが、Nチャネル電界効果トランジスタからなることを特徴としている。

【0021】また、請求項9記載の発明は、請求項6又は7記載の電流制御素子の駆動回路に係り、上記選択ゲートトランジスタと駆動トランジスタとスイッチングトランジスタとが、Pチャネル電界効果トランジスタからなることを特徴としている。

【0022】また、請求項10記載の発明は、画像表示

装置に係り、請求項1乃至9のいずれか一記載の電流制御素子の駆動回路を複数個平面状に配列して、行方向と列方向とに駆動可能なように構成してなることを特徴としている。

【0023】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

◇第1実施例

図1は、本発明の第1実施例である電流制御素子の駆動回路の構成を示す回路図、図2は、本実施例の電流制御素子の駆動回路の動作を説明するタイミングチャート、図3は、本実施例における駆動トランジスタの $I_{DS}-V_{GS}$ 特性を示す図、図4は、本実施例における電流制御素子の I_L-V_L 特性を示す図、図5は、駆動トランジスタの特性がばらついているときの $I_{DS}-V_{GS}$ 特性を示す図、図6は、駆動トランジスタの特性がばらついているときの V_{GS} の過渡特性を示す図である。

【0024】この例の電流制御素子の駆動回路は、図1に示すように、電源線1と接地線2と信号線3との間に接続された、選択ゲートトランジスタ4と、保持容量5と、駆動トランジスタ6と、電流制御素子7と、寄生容量8とから概略構成されている。選択ゲートトランジスタ4は、Nチャネル電界効果トランジスタからなり、ゲート電極を選択線（不図示）に接続され、ドレイン電極を信号線3に接続され、ソース電極を駆動トランジスタ6のゲート電極に接続されている。保持容量5は、駆動トランジスタ6のゲート電極とソース電極の間に接続されている。駆動トランジスタ6は、Nチャネル電界効果ト

$$V_{GS} = V_A \times C_L / (C_S + C_L)$$

一方、駆動トランジスタ6のソース電圧 V_S は、次式の

$$V_S = V_A \times C_S / (C_S + C_L)$$

【0027】ただし、このとき、駆動トランジスタ6のゲートーソース間電圧 V_{GS} は、図3に示す駆動トランジスタの $I_{DS}-V_{GS}$ 特性において、しきい値電圧 V_T よりも大きいことが必要である。また、電流制御素子

$$V_{GS} > V_T$$

$$V_S < V_{OFF}$$

【0028】駆動トランジスタ6のゲートーソース間電圧 V_{GS} は、しきい値電圧 V_T よりも大きいため、駆動トランジスタ6のドレインーソース間に電流が流れる。この駆動トランジスタ6のドレインーソース間電流によって、電流制御素子7の寄生容量8に電荷が充電されて、電流制御素子7の端子間電圧 V_L 、すなわち駆動トランジスタ6のソース電圧 V_S が上昇する。同時に、駆動トランジスタ6のゲート電圧 V_G が一定値 V_A であるため、駆動トランジスタ6のゲートーソース間電圧 V_{GS} は、減少しながらしきい値電圧 V_T に近づき、駆動トランジスタ6のソース電圧 V_S は、 $(V_A - V_T)$ に近づく。

ランジスタからなり、ゲート電極を選択ゲートトランジスタ4のソース電極と保持容量5の一端に接続され、ドレイン電極を電源線1に接続され、ソース電極を電流制御素子7のアノードに接続されている。電流制御素子7は、駆動トランジスタ6のソース電極と接地線2との間に接続され、駆動トランジスタ6の電流 I_L に応じた輝度で発光する。寄生容量8は、電流制御素子7の両端の寄生容量である。

【0025】次に、図1～図6を参照して、この例の電流制御素子の駆動回路の動作を説明する。図2に示すように、駆動回路の選択期間が開始されると、選択ゲートトランジスタ4が遮断状態から導通状態に切り替えられる。このとき、信号線3に入力される電圧 V_{DATA} は、接地線2と同電位の0Vとする。この状態では、選択ゲートトランジスタ4が導通状態であるため、保持容量5の電荷は、信号線3を介して放電が開始される。同時に、電流制御素子7の寄生容量8の電荷が、電流制御素子7を経て放電される。選択期間が開始されてから十分な時間が経過すると、駆動トランジスタ6のゲート電圧 V_G とソース電圧 V_S がともに0Vとなる。駆動トランジスタ6のゲートーソース間電圧 V_{GS} はゼロであるため、駆動トランジスタ6のドレインーソース間には電流が流れない。

【0026】次に、信号線3の入力電圧が0Vから V_A に切り替えられる。信号線3が0Vから V_A に切り替えられた直後には、駆動トランジスタ6のゲートーソース間電圧 V_{GS} は、保持容量5の容量値 C_S と電流制御素子7の寄生容量8の容量値 C_L とから、次式のように

$$\dots (2)$$

ようになる。

$$\dots (3)$$

7の端子間電圧 V_L 、すなわち、駆動トランジスタ6のソース電圧 V_S は、図4に示す電流制御素子7の電圧ー電流特性において、順方向の立ち上がり電圧 V_{OFF} よりも小さいことが必要である。すなわち、

$$\dots (4)$$

$$\dots (5)$$

【0029】この際、駆動トランジスタ6は、ガラス基板上に形成された薄膜トランジスタ等であるため、図5に示すように、ドレインーソース間電流 I_{DS} と、ゲートーソース間電圧 V_{GS} との関係を示す $I_{DS}-V_{GS}$ 特性は、同じドレインーソース間電流 I_{DS} に対して、個々のトランジスタ6a、6b及び6cの特性に応じて、 V_{GS} が V_{Ta} 、 V_{Tb} 及び V_{Tc} で示されるように大きくばらつく。そこで図6に示すように、駆動トランジスタ6a、6b及び6cのゲートーソース間電圧 V_{GS} は、十分な時間が経過すると、信号電圧 V_A の入力直後の値 $V_A \times C_L / (C_S + C_L)$ から、個々のトランジスタのしきい値 V_{Ta} 、 V_{Tb} 及び V_{Tc} となり、

それまでの時間も、 T_a 、 T_b 及び T_c のように異なっている。

【0030】そして、充分な時間が経過したとき、駆動

$$V_{GS} = V_T$$

一方、駆動トランジスタ6のソース電圧 V_S は、次式の

$$V_S = V_A - V_T$$

ただし、このとき、駆動トランジスタ6のソース電圧 V_S は、図4に示された電流制御素子7の $I_L - V_L$ 特性において、電流制御素子7の順方向立ち上がり電圧 V_{OFF}

$$V_S < V_{OFF}$$

【0031】次に、信号線3に入力する電圧 V_{DATA} が V_A から V_B に切り替えられる。ここで、 V_B は V_A と同じ値（非発光状態）、又は V_A より大きい値（発光状態）である。 V_A から V_B に切り替えたときの電圧差（ $V_B - V_A$ ）は、駆動トランジスタ6のゲートーソ

$$V_{GS} = V_T + (1 - C_S / C_L) \cdot (V_B - V_A) \quad \dots (9)$$

$$V_S = V_A - V_T + (V_B - V_A) C_S / C_L \quad \dots (10)$$

【0032】上式からわかるように、（ $V_{GS} - V_T$ ）が（ $V_B - V_A$ ）で決まるので、駆動トランジスタ6のしきい値にばらつきがあっても、このばらつきが補正されるので、 V_B と V_A を適正な値に設定することによって、電流制御素子7に流れる電流値が制御される。

【0033】次に、選択ゲートトランジスタ4を導通状態から遮断状態に切り替えることによって、非選択期間に入る。非選択期間に入ると、駆動トランジスタ6のゲートーソース間電圧 V_{GS} は、保持容量5によって保持されるようになる。駆動トランジスタ6のソース電圧 V_S は、駆動トランジスタ6を介して電流制御素子7の寄生容量8に電荷が充電されるのに応じて上昇し、駆動トランジスタ6のゲート電圧 V_G も、保持容量5を介してゲートーソース間電圧 V_{GS} を一定に維持したまま、同時に上昇する。電流制御素子7は、駆動トランジスタ6のソース電圧 V_S が、電流制御素子7の順方向の立ち上がり電圧 V_{OFF} を超えたとき発光を開始し、以後、非選択期間が終了するまで、発光し続ける。電流制御素子7の端子間電圧 V_L が、駆動トランジスタ6のゲートーソース間電圧 V_{GS} によって定まる電流 I_L を流すのに充分な電圧に到達すると、駆動トランジスタ6のゲート電圧 V_G とソース電圧 V_S の上昇は停止して一定となる。その後は、駆動トランジスタ6のゲートーソース間電圧 V_{GS} が保持容量5によって保持されるため、電流制御素子7に一定電流 I_L が流れ続ける。

【0034】このように、この例の電流制御素子の駆動回路では、選択ゲートトランジスタ4と駆動トランジスタ6との2個のトランジスタと、保持容量5とからなる最小限の素子構成で、駆動トランジスタ6のしきい値を補正して、その変化の影響を受けないようにすることができる。本実施例によれば、従来例の電流制御素子の駆動回路と比較して、画素回路を構成する素子数が1/2となるので、画素の開口率を大きくできるとともに、製

トランジスタ6のドレインーソース間には電流が流れないようになり、駆動トランジスタ6のゲートーソース間電圧 V_{GS} はしきい値電圧 V_T となる。

… (6)

ようになる。

… (7)

FF よりも小さくなるように、容量値 C_S 、 C_L を選定することが必要である。

… (8)

ス間保持容量5の容量値 C_S と、電流制御素子7の寄生容量8の容量値 C_L とに容量分割して印加される。従って、このときの駆動トランジスタ6のゲートーソース間電圧 V_{GS} と、駆動トランジスタ6のソース電圧 V_S とは、それぞれ次式のようになる。

… (9)

… (10)

造プロセスが容易になる。また、一般に、電流制御素子7の寄生容量8の容量値 C_L は、保持容量5の容量値 C_S より大きいので、より小さな書き込み電圧で、駆動回路の書き込みを行うことができ、消費電力の点からも有利である。

【0035】図1に示された第1実施例の駆動回路では、制御方法を変えることによって、異なる動作を行わせることができる。以下においては、この場合の実施例について説明する。

【0036】◇第2実施例

図7は、本発明の第2実施例である電流制御素子の駆動回路の動作を説明するタイミングチャートである。この例の電流制御素子の駆動回路の構成は、図1に示された第1実施例の場合と同様であるが、制御方法が異なっているため、その動作も異なっている。

【0037】以下、図7を参照して、この例の電流制御素子の駆動回路の動作を説明する。駆動回路の選択期間が開始されると、選択ゲートトランジスタ4が遮断状態から導通状態に切り替えられる。このとき、信号線3に入力される電圧は、駆動トランジスタ6がオンするのに充分な大きさの電圧とする。また、これと同時に、電源線1の電位を0Vとする。駆動トランジスタ6がオンしているため、電流制御素子7の寄生容量8の電荷が、駆動トランジスタ6を介して放電される。駆動トランジスタ6のソース電圧 V_S がゼロになってから、信号線3の電圧を接地電位0Vにする。選択ゲートトランジスタ4が導通状態になっているため、保持容量5の電荷が放電されて、駆動トランジスタ6のゲート電圧 V_G が0Vになる。

【0038】このあと、電源線1の電圧をもとの電源線電圧レベルに戻す。駆動トランジスタ6のゲートーソース間電圧 V_{GS} はゼロであるため、駆動トランジスタ6のドレインーソース間に電流は流れない。次に、信号線

3の入力電圧を0VからVAに切り替える。以降の動作は、第1実施例の場合と同様に行われる。

【0039】このように、この例の電流制御素子の駆動回路では、第1実施例の場合と同様に、選択ゲートトランジスタ4と駆動トランジスタ6との2個のトランジスタと、保持容量5とからなる最小限の素子構成で、駆動トランジスタ6のしきい値を補正して、その変化の影響を受けないようにすることができる。この際、選択期間の初期に駆動トランジスタをオンにし、電源線1の電位を0Vにするので、電流制御素子7の寄生容量8の電荷を駆動トランジスタ6を経て電源線1に放電することができ、従って、駆動トランジスタ6のソース電圧の降下が速いので、選択期間を短縮することが可能になる。

【0040】◇第3実施例

図8は、本発明の第3実施例である電流制御素子の駆動回路の構成を示す回路図、図9は、本実施例の電流制御素子の駆動回路の動作を説明するタイミングチャートである。この例の電流制御素子の駆動回路は、図8に示すように、電源線1と接地線2と信号線3との間に接続された、選択ゲートトランジスタ4と、保持容量5と、駆動トランジスタ6と、電流制御素子7と、寄生容量8と、スイッチングトランジスタ9とから概略構成されている。

【0041】この例の電流制御素子の駆動回路においては、電源線1、接地線2、信号線3、選択ゲートトランジスタ4、保持容量5、駆動トランジスタ6、電流制御素子7及び寄生容量8の構成は、図1に示された第1実施例の場合と同様であるが、これらに加えて、図8に示すスイッチングトランジスタ9を有する点が、第1実施例の場合と異なっている。スイッチングトランジスタ9は、Nチャネル電界効果トランジスタからなり、ゲート電極を選択線に接続され、ドレイン電極を駆動トランジスタ6のソース電極及び保持容量5の一端に接続され、ソース電極を接地線2に接続されている。

【0042】以下、図8、図9を参照して、この例の電流制御素子の駆動回路の動作を説明する。駆動回路の選択期間が開始されると、選択線からの制御によって、選択ゲートトランジスタ4とスイッチングトランジスタ9が、遮断状態から導通状態に切り替えられる。このとき、信号線3に入力される電圧は、接地線2と同じ0Vとする。選択ゲートトランジスタ4とスイッチングトランジスタ9が導通状態になったことによって、保持容量5の電荷と、電流制御素子7の寄生容量8の電荷とが放電されるので、駆動トランジスタ6のゲート電圧VGとソース電圧VSが0Vとなる。このとき、駆動トランジスタ6のゲート-ソース間電圧VGSは0Vなので、駆動トランジスタ6のドレイン-ソース間には電流が流れない。次に、選択線からの制御によって、スイッチングトランジスタ9が遮断状態とされるとともに、信号線3の入力電圧が、0VからVAに切り替えられる。これ以

降の動作は、第1実施例の場合と同様である。

【0043】このように、この例の電流制御素子の駆動回路によれば、第1実施例の場合と同様に駆動トランジスタ6のしきい値を補正して、その変化の影響を受けないようにすることができる。この際、第1実施例の場合と比較して、スイッチングトランジスタ9が余分に必要となるが、スイッチングトランジスタ9による保持容量5及び電流制御素子7の寄生容量8のリセットを、選択ゲートトランジスタ4による保持容量5の書き込みと独立に行うことができるので、リセットの時期を選択することによって、保持容量5及び寄生容量8のリセットをより確実に行うことができるようになる。

【0044】◇第4実施例

図10は、本発明の第4実施例である電流制御素子の駆動回路の構成を示す回路図、図11は、本実施例の電流制御素子の駆動回路の動作を説明するタイミングチャートである。この例の電流制御素子の駆動回路は、図10に示すように、電源線1と接地線2と信号線3との間に接続された、選択ゲートトランジスタ4と、保持容量5と、駆動トランジスタ6と、電流制御素子7と、寄生容量8と、スイッチングトランジスタ10とから概略構成されている。

【0045】この例の電流制御素子の駆動回路においては、電源線1、接地線2、信号線3、選択ゲートトランジスタ4、保持容量5、駆動トランジスタ6、電流制御素子7及び寄生容量8の構成は、図1に示された第1実施例の場合と同様であるが、これらに加えて、図10に示すスイッチングトランジスタ10を有する点が、第1実施例の場合と異なっている。スイッチングトランジスタ10は、Nチャネル電界効果トランジスタからなり、ゲート電極を選択線に接続され、ドレイン電極を駆動トランジスタ6のゲート電極及び保持容量5の一端に接続され、ソース電極を接地線2に接続されている。

【0046】以下、図10、図11を参照して、この例の電流制御素子の駆動回路の動作を説明する。駆動回路の選択期間が開始される前の一定期間、選択線からの制御によって、スイッチングトランジスタ10を導通状態にする。スイッチングトランジスタ10が導通状態なので、駆動トランジスタ6のゲート電圧VGはゼロとなり、これによって、駆動トランジスタ6のゲート-ソース間電圧VGSは負の電圧となるため、駆動トランジスタ6は遮断状態となる。このとき、電流制御素子7の寄生容量8に蓄積されている電荷は、電流制御素子7を介して接地線2に放電される。スイッチングトランジスタ10が導通状態になってから、充分長い時間が経過すると、電流制御素子7の寄生容量8に蓄積されていた電荷はすべて放電されて、駆動トランジスタ6のソース電圧VSは0Vとなる。この期間中、選択ゲートトランジスタ4は、選択線からの制御によって、遮断状態とされている。

【0047】次に、駆動回路の選択期間が開始されると、選択線からの制御によって、スイッチングトランジスタ10が、導通状態から遮断状態に切り替えられる。次に、選択ゲートトランジスタ4が、選択線からの制御によって、遮断状態から導通状態に切り替えられる。このとき、信号線3の入力電圧VDATAとして、VAが入力されている。これ以降の動作は、第1実施例の場合と同様である。

【0048】このように、この例の電流制御素子の駆動回路によれば、第1実施例の場合と同様に駆動トランジスタ6のしきい値を補正して、その変化の影響を受けないようにすることができる。この際、第1実施例の場合と比較して、スイッチングトランジスタ10が余分に必要となるが、スイッチングトランジスタ10による保持容量5及び電流制御素子7の寄生容量8のリセットを、選択ゲートトランジスタ4による保持容量5の書き込みと独立に行うことができるので、リセットの時期を選択することによって、保持容量5及び寄生容量8のリセットをより確実に行うことができるようになる。

【0049】以上の各実施例においては、電流制御素子の駆動回路をすべてNチャネル電界効果トランジスタによって構成したが、駆動回路をPチャネル電界効果トランジスタによって構成することも可能である。以下においては、この場合の実施例について説明する。

【0050】◇第5実施例

図12は、本発明の第5実施例である電流制御素子の駆動回路の構成を示す回路図である。この例の電流制御素子の駆動回路は、図12に示すように、電源線1と接地線2と信号線3との間に接続された、選択ゲートトランジスタ4Aと、保持容量5Aと、駆動トランジスタ6Aと、電流制御素子7Aと、寄生容量8Aとから概略構成されている。選択ゲートトランジスタ4Aは、Pチャネル電界効果トランジスタからなり、ゲート電極を選択線（不図示）に接続され、ソース電極を信号線3に接続され、ドレイン電極を駆動トランジスタ6Aのゲート電極に接続されている。保持容量5Aは、駆動トランジスタ6Aのゲート電極とソース電極の間に接続される。駆動トランジスタ6Aは、Pチャネル電界効果トランジスタからなり、ゲート電極を選択ゲートトランジスタ4Aのドレイン電極と保持容量5Aの一端に接続され、ソース電極を電流制御素子7Aのカソードに接続され、ドレイン電極を接地線2に接続されている。電流制御素子7Aは、電源線1と、駆動トランジスタ6Aのソース電極の間に接続され、駆動トランジスタ6Aの電流ILに応じた輝度で発光する。寄生容量8Aは、電流制御素子7Aの両端の寄生容量である。

【0051】この例の電流制御素子の駆動回路は、図1に示された第1実施例の場合のNチャネル電界効果トランジスタからなる選択ゲートトランジスタ4及び駆動トランジスタ6を、Pチャネル電界効果トランジスタから

なる選択ゲートトランジスタ4A及び駆動トランジスタ6AにPチャネル電界効果トランジスタによって置き替えたものであって、従って、図1に示された第1実施例の場合と比べて、電圧の関係が逆になるので、電流の向きが逆になるが、その動作は、第1実施例の場合と同様であって、図2に示されたタイミングチャートを適用することができるので、以下においては、詳細な説明を省略する。

【0052】このように、この例の電流制御素子の駆動回路では、選択ゲートトランジスタ4Aと駆動トランジスタ6Aとの2個のトランジスタと、保持容量5Aとからなる最小限の素子構成で、駆動トランジスタ6Aのしきい値を補正して、その変化の影響を受けないようにすることができる。本実施例によれば、第1実施例の場合と同様に、従来例の電流制御素子の駆動回路と比較して、画素回路を構成する素子数を減減して、画素の開口率を大きくできるとともに、製造プロセスが容易になり、さらに、消費電力が少ない利点がある。

【0053】◇第6実施例

この例の電流制御素子の駆動回路の構成は、図12に示された第5実施例の場合と同様であるが、制御方法が異なっているため、その動作も異なっている。この例の電流制御素子の駆動回路は、第2実施例の場合のNチャネル電界効果トランジスタからなる選択ゲートトランジスタ4及び駆動トランジスタ6を、Pチャネル電界効果トランジスタからなる選択ゲートトランジスタ4A及び駆動トランジスタ6Aによって置き替えたものであって、従って、第2実施例の場合と比べて、電圧の関係が逆になるので、電流の向きが逆になるが、その動作は、第2実施例の場合と同様であって、図7に示されたタイミングチャートを適用することができるので、以下においては、詳細な説明を省略する。

【0054】このように、この例の電流制御素子の駆動回路では、第5実施例の場合と同様に、選択ゲートトランジスタ4Aと駆動トランジスタ6Aとの2個のトランジスタと、保持容量5Aとからなる最小限の素子構成で、駆動トランジスタ6Aのしきい値を補正して、その変化の影響を受けないようにできるとともに、駆動トランジスタ6Aのソース電圧の降下が速いので、選択期間を短縮することができる。

【0055】◇第7実施例

図13は、本発明の第7実施例である電流制御素子の駆動回路の構成を示す回路図である。この例の電流制御素子の駆動回路は、図13に示すように、電源線1と接地線2と信号線3との間に接続された、選択ゲートトランジスタ4Aと、保持容量5Aと、駆動トランジスタ6Aと、電流制御素子7Aと、寄生容量8Aと、スイッチングトランジスタ9Aとから概略構成されている。

【0056】この例の電流制御素子の駆動回路においては、電源線1、接地線2、信号線3、選択ゲートトラン

ジスタ4A、保持容量5A、駆動トランジスタ6A、電流制御素子7A及び寄生容量8Aの構成は、図12に示された第5実施例の場合と同様であるが、これらに加えて、図13に示すスイッチングトランジスタ9Aを有する点が、第5実施例の場合と異なっている。スイッチングトランジスタ9Aは、Pチャネル電界効果トランジスタからなり、ゲート電極を選択線に接続され、ソース電極を電源線1に接続され、ドレイン電極を駆動トランジスタ6Aのソース電極及び保持容量5Aの一端に接続されている。

【0057】この例の電流制御素子の駆動回路は、図8に示された第3実施例の場合のNチャネル電界効果トランジスタからなる選択ゲートトランジスタ4、駆動トランジスタ6及びスイッチングトランジスタ9を、Pチャネル電界効果トランジスタからなる選択ゲートトランジスタ4A、駆動トランジスタ6A及びスイッチングトランジスタ9Aによって置き替えたものであって、従って、図8に示された第3実施例の場合と比べて、電圧の関係が逆になり、電流の向きが逆になるが、その動作は、第3実施例の場合と同様であって、図9に示されたタイミングチャートを適用することができるので、以下においては、詳細な説明を省略する。

【0058】このように、この例の電流制御素子の駆動回路によれば、第5実施例の場合と同様に駆動トランジスタ6Aのしきい値を補正して、その変化の影響を受けないようにすることができる。この際、第5実施例の場合と比較して、スイッチングトランジスタ9Aが余分に必要となるが、スイッチングトランジスタ9Aによる保持容量5A及び電流制御素子7の寄生容量8のリセットを、選択ゲートトランジスタ4Aによる保持容量5Aの書き込みと独立に行うことができるので、リセットの時期を選択することによって、保持容量5A及び寄生容量8Aのリセットをより確実に行うことができるようになる。

【0059】◇第8実施例

図14は、本発明の第8実施例である電流制御素子の駆動回路の構成を示す回路図である。この例の電流制御素子の駆動回路は、図13に示すように、電源線1と接地線2と信号線3との間に接続された、選択ゲートトランジスタ4Aと、保持容量5Aと、駆動トランジスタ6Aと、電流制御素子7Aと、寄生容量8Aと、スイッチングトランジスタ10Aとから概略構成されている。

【0060】この例の電流制御素子の駆動回路においては、電源線1、接地線2、信号線3、選択ゲートトランジスタ4A、保持容量5A、駆動トランジスタ6A、電流制御素子7A及び寄生容量8Aの構成は、図12に示された第5実施例の場合と同様であるが、これらに加えて、図14に示すスイッチングトランジスタ10Aを有する点が、第5実施例の場合と異なっている。スイッチングトランジスタ10Aは、Pチャネル電界効果トラン

ジスタからなり、ゲート電極を選択線に接続され、ソース電極を電源線1に接続され、ドレイン電極を駆動トランジスタ6Aのゲート電極及び保持容量5Aの一端に接続されている。

【0061】この例の電流制御素子の駆動回路は、図10に示された第4実施例の場合のNチャネル電界効果トランジスタからなる選択ゲートトランジスタ4、駆動トランジスタ6及びスイッチングトランジスタ10を、Pチャネル電界効果トランジスタからなる選択ゲートトランジスタ4A、駆動トランジスタ6A及びスイッチングトランジスタ10Aによって置き替えたものであって、従って、図10に示された第4実施例の場合と比べて、電圧の関係が逆になるので、電流の向きが逆になるが、その動作は、第4実施例の場合と同様であって、図11に示されたタイミングチャートを適用することができるので、以下においては、詳細な説明を省略する。

【0062】このように、この例の電流制御素子の駆動回路によれば、第5実施例の場合と同様に駆動トランジスタ6Aのしきい値を補正して、その変化の影響を受けないようにすることができる。この際、第5実施例の場合と比較して、スイッチングトランジスタ10Aが余分に必要となるが、スイッチングトランジスタ10Aによる保持容量5A及び電流制御素子7の寄生容量8のリセットを、選択ゲートトランジスタ4Aによる保持容量5Aの書き込みと独立に行うことができるので、リセットの時期を選択することによって、保持容量5A及び寄生容量8Aのリセットをより確実に行うことができるようになる。

【0063】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られたものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、第3実施例、第4実施例及び第7実施例、第8実施例において、スイッチングトランジスタによる保持容量5と寄生容量8の放電は、非選択期間でもよく、又は選択期間の初期でもよい。非選択期間の場合は、その終期に限らず、任意のタイミングで行うことができる。選択期間の初期の場合は、選択ゲートトランジスタをオフにしておくことが必要である。また、各実施例において、駆動トランジスタがNチャネル電界効果トランジスタ又はPチャネル電界効果トランジスタの場合に、その他の選択ゲートトランジスタ及びスイッチングトランジスタは、Nチャネル電界効果トランジスタ又はPチャネル電界効果トランジスタに限らず、Nチャネル電界効果トランジスタとPチャネル電界効果トランジスタとを任意に混用することが可能である。さらに、この発明の電流制御素子の駆動回路は、多数の電流制御素子を平面状に、行方向と列方向とにマトリクス状に配列した画像表示装置における、電流制御素子の駆動回路にも適用可能であって、この場合に前述の各実施例の効果をえられることは明らかであ

る。また、第3、第4の実施例では、スイッチングトランジスタ9のソース電極が、接地線2に接続されているが、接地線2とは異なる電圧の他の電源線に接続し、リセット時の駆動トランジスタ6のソース電圧 V_S を0Vではない電圧に設定することで、回路設計の許容度を広げることができる。第7、第8の実施例についても同様な変更が可能である。

【0064】

【発明の効果】以上説明したように、本発明の電流制御素子の駆動回路及び画像表示装置によれば、電流制御素子を駆動する駆動トランジスタのしきい値特性にばらつきがあっても影響を受けないようにすることができるとともに、従来の同様な電流制御素子の駆動回路と比較して、画素回路を構成する素子数を少なくすることができるので、画素の開口率を大きくできるとともに、製造プロセスが容易になる。また、小さな書き込み電圧で、駆動回路の書き込みを行うことができるので、消費電力の点からも有利である。

【図面の簡単な説明】

【図1】本発明の第1実施例である電流制御素子の駆動回路の構成を示す回路図である。

【図2】同実施例の電流制御素子の駆動回路の動作を説明するタイミングチャートである。

【図3】同実施例における駆動トランジスタの $I_{DS}-V_{GS}$ 特性を示す図である。

【図4】同実施例における電流制御素子の I_L-V_L 特性を示す図である。

【図5】駆動トランジスタの特性がばらついているときの $I_{DS}-V_{GS}$ 特性を示す図である。

【図6】駆動トランジスタの特性がばらついているときの V_{GS} の過渡特性を示す図である。

【図7】本発明の第2実施例である電流制御素子の駆動回路の動作を説明するタイミングチャートである。

【図8】本発明の第3実施例である電流制御素子の駆動回路の構成を示す回路図である。

【図9】同実施例の電流制御素子の駆動回路の動作を説明するタイミングチャートである。

【図10】本発明の第4実施例である電流制御素子の駆動回路の構成を示す回路図である。

【図11】同実施例の電流制御素子の駆動回路の動作を説明するタイミングチャートである。

【図12】本発明の第5実施例である電流制御素子の駆動回路の構成を示す回路図である。

【図13】本発明の第7実施例である電流制御素子の駆動回路の構成を示す回路図である。

【図14】本発明の第8実施例である電流制御素子の駆動回路の構成を示す回路図である。

【図15】第1の従来例の電流制御素子の駆動回路の構成を示す図である。

【図16】駆動トランジスタの特性がばらついているときの $I_{DS}-V_{GS}$ 特性を示す図である。

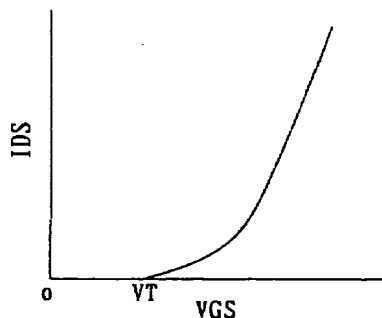
【図17】第2の従来例の電流制御素子の駆動回路の構成を示す図である。

【図18】第2の従来例の電流制御素子の駆動回路の動作を説明するタイミングチャートである。

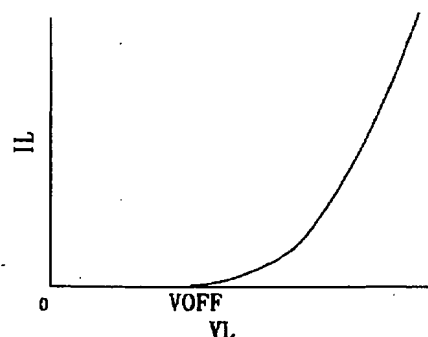
【符号の説明】

- | | |
|---------|--------------|
| 1 | 電源線（第1の電源線） |
| 2 | 接地線（第2の電源線） |
| 3 | 信号線 |
| 4, 4A | 選択ゲートトランジスタ |
| 5, 5A | 保持容量 |
| 6, 6A | 駆動トランジスタ |
| 7, 7A | 電流制御素子 |
| 8, 8A | 寄生容量 |
| 9, 9A | スイッチングトランジスタ |
| 10, 10A | スイッチングトランジスタ |

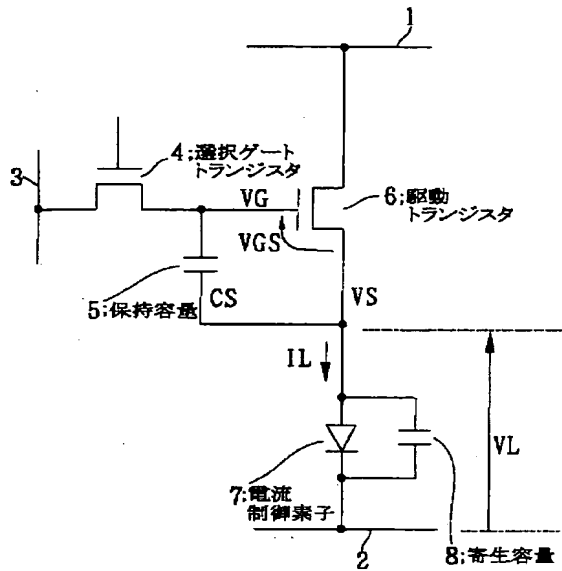
【図3】



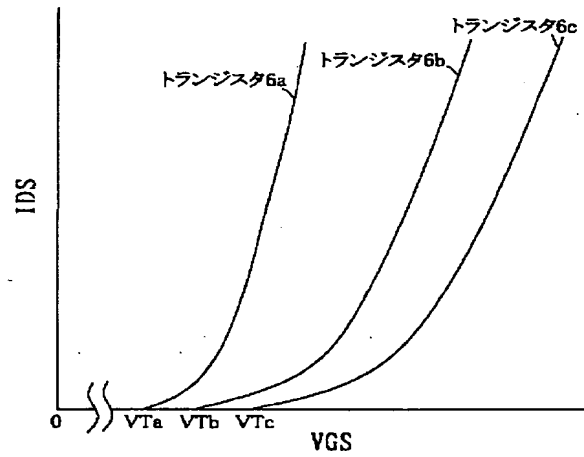
【図4】



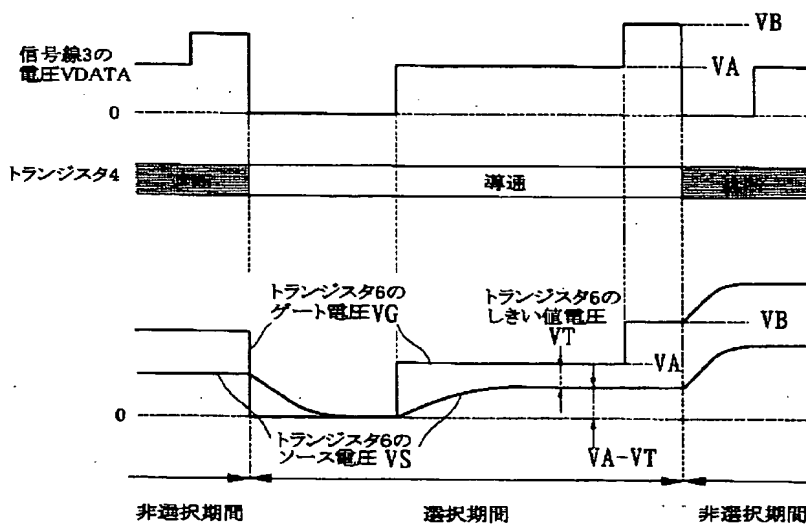
【図1】



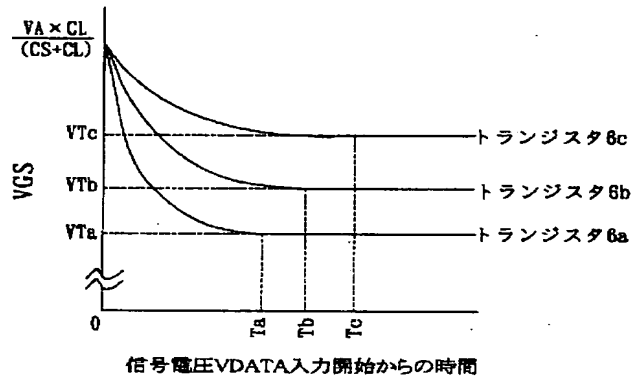
【図5】



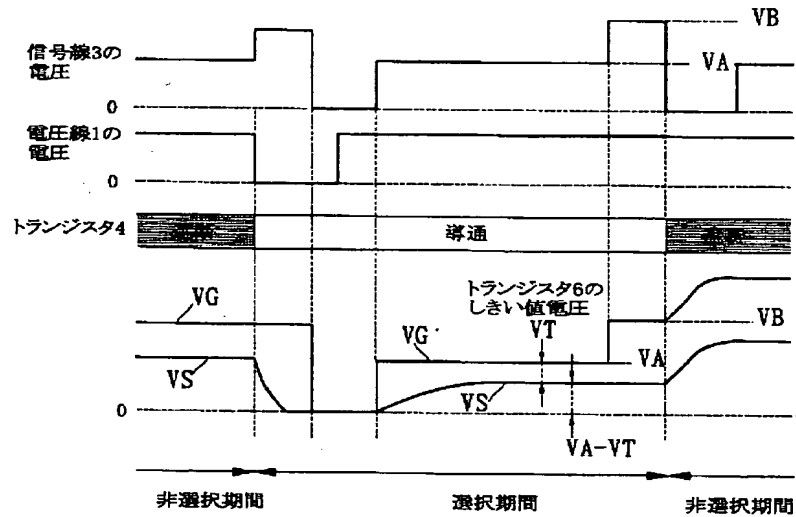
【図2】



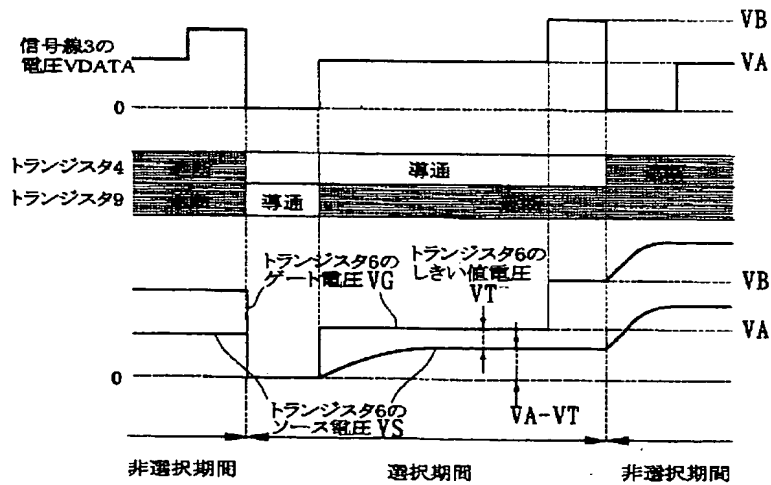
【図6】



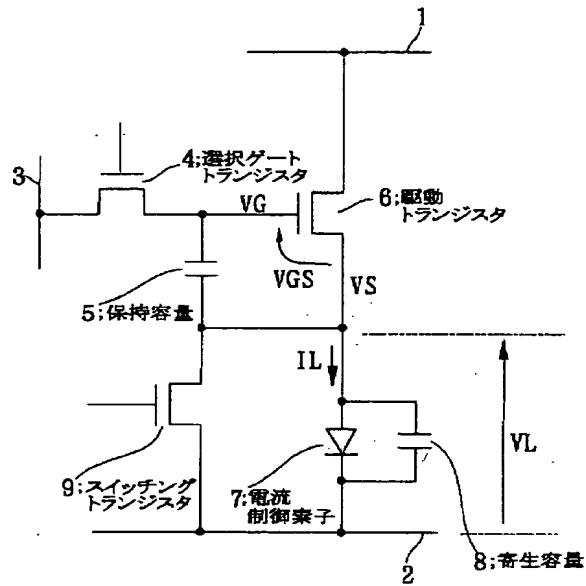
【図7】



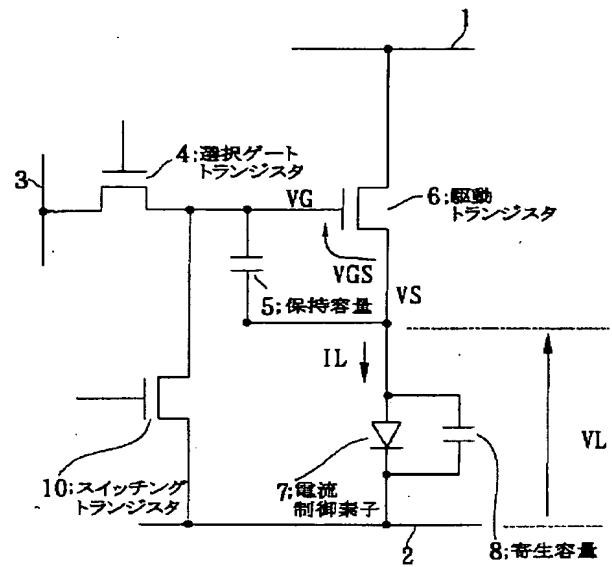
【図9】



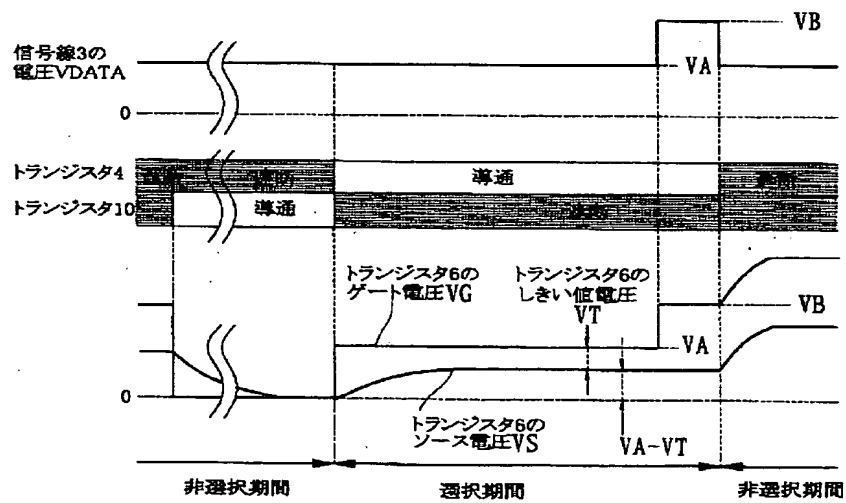
【図8】



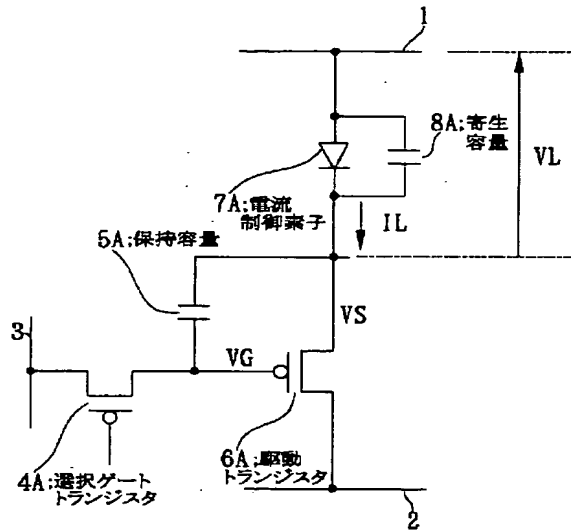
【図10】



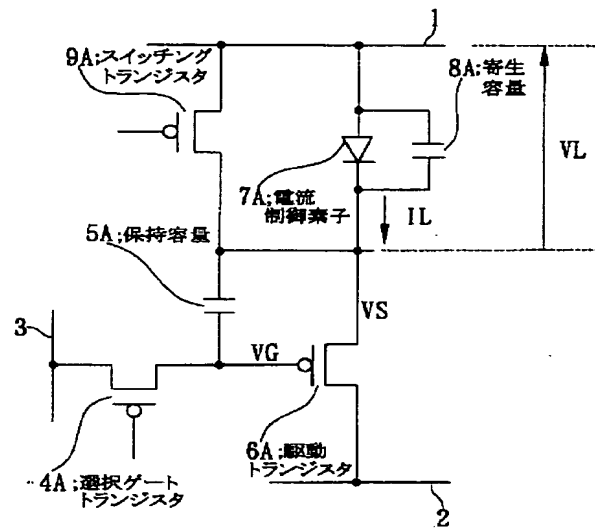
【図11】



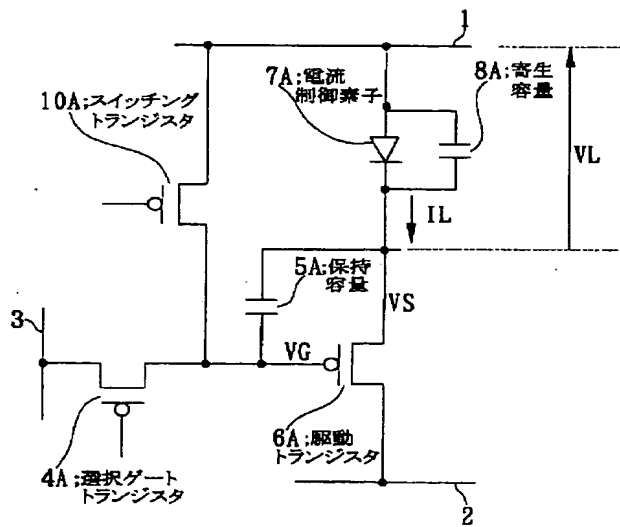
【図12】



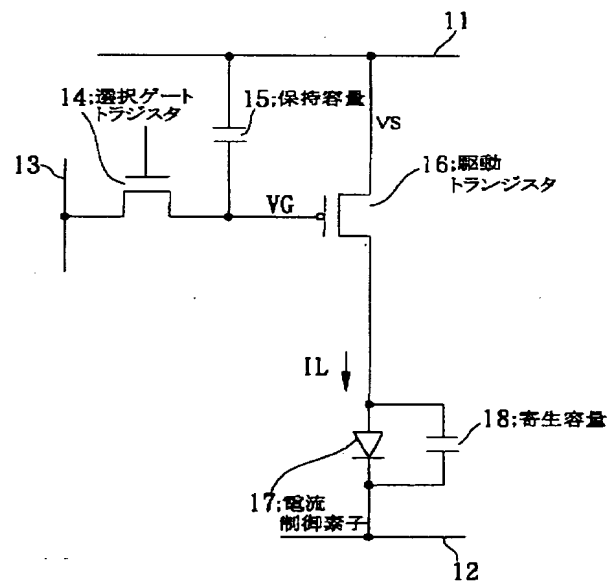
【図13】



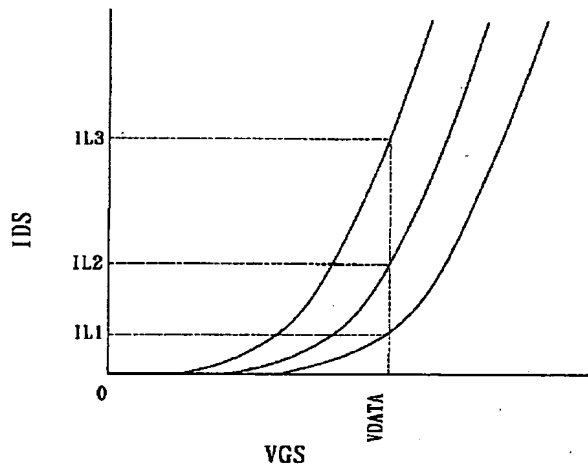
【図14】



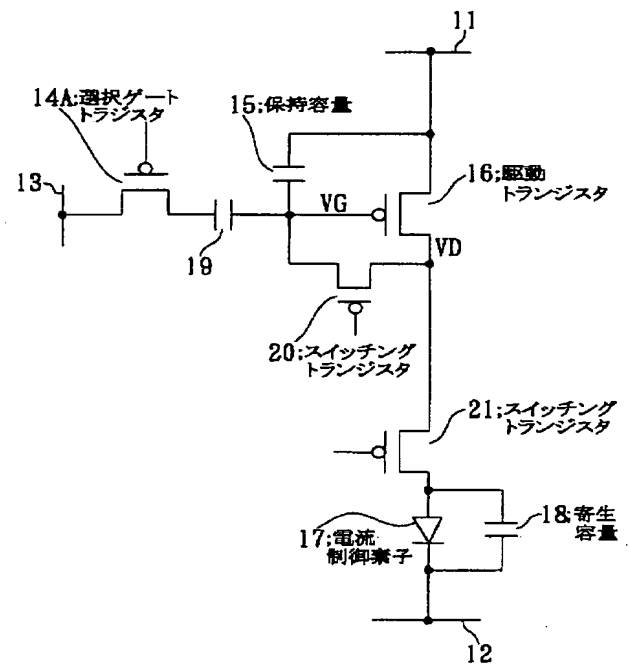
【図15】



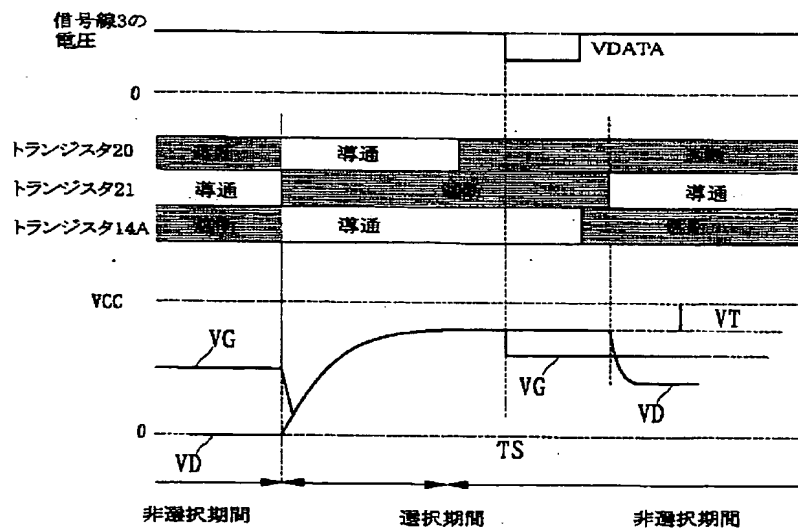
【図16】



【図17】



【図18】



フロントページの続き

(51) Int. Cl. 7

H03K 17/687

H05B 33/14

識別記号

F I

H05B 33/14

H03K 17/687

ターマコード (参考)

A

H

Fターム(参考) 3K007 AB02 AB06 AB17 AB18 BA06
BB07 DB03 GA04
5C080 AA06 BB05 DD05 DD22 DD26
DD28 EE28 FF11 JJ03 JJ04
JJ05
5J055 AX04 AX49 BX16 CX29 DX13
DX14 DX53 DX55 EX01 EX07
EX21 EY00 EY10 EY21 EY29
FX12 FX17 FX24 FX35 GX00
GX01 GX06